

# FPGA を用いた高機能信号処理回路の開発

## *Development of Signal Processing System with FPGA*

金岡 祐介\*

Yusuke Kanaoka

(2011年6月30日 受理)

キーワード：デジタル信号処理, FPGA, 超音波センサ, 赤外線センサ, ロボット, 超音波画像

### 1. はじめに

近年、携帯電話等の通信機器の発達やゲーム機、ロボット、医療機器のための画像処理等への要求から、高速・複雑な信号処理を用いた製品の必要性が高まっている。多くの場合、CPU(Central Processing Unit)を用いたソフトウェアによる演算で信号処理は行われている。しかし近年、安価でかつ現場開発が可能なハードウェアであるFPGA(Field Programmable Gate Array)と呼ばれるデジタル信号処理用集積回路が登場し、ハードウェアによるデジタル信号処理が取り扱い易くなってきた。

電子機器は今後ますます小型で低消費電力であることが要求される。基板上の実装面積、消費電力及び部品コストを減少させるためにより多くの機能を一つの半導体チップ上に搭載する方向に進んでおり、一つのチップ上に高速なCPUと大規模なFPGAを混載させたICも登場してきている。今後、組込み技術者にはソフトウェアとハードウェアの設計知識の両方がいっそう必要になってくると思われる。

ここでは、ソフトウェアとハードウェアそれぞれの処理についての比較とFPGAを用いる利点を述べ、FPGAの構造や設計について簡単に解説する。また、FPGAの信号処理システムへの応用例として、超音波センサと赤外線センサを用いて人体と障がい物を検知するセンシングシステム、またそれを応用した人体追尾ロボット及び超音波の三次元画像表示システムの開

発を紹介する。

### 2. 信号処理の種類と特徴

#### 2.1 ソフトウェアとハードウェア

CPUは一般的にfetch(命令の取り出し)、decode(命令の解釈)、execute(命令の実行)、writeback(実行結果の書き戻し)の動作を繰り返している。CPUが取り出す命令や演算に関するデータはメモリに保存されており、CPUはメモリに置かれた命令を順次取り出して実行している。メモリ中の命令を変えることで、CPUに多様で極めて複雑な処理を行わせることができる。このサイクルは高速なCPUでは1秒間に数十億回(数GHz)の速度で動作するが、複数の処理を同時に行うことは通常できない。また、CPUによっては大容量(数Gバイト以上)のメモリを使用可能であるが、一般に同時に複数のメモリにアクセスすることはできない。そこで処理の高速化のためにバス速度がどんどん高速になっている。現在主流のDDR3メモリでは1GHzを超えたクロックでCPUとデータ通信する規格も策定されており、基板設計が非常に難しくなっている。

一方、ハードウェアによる処理はそれぞれの目的に応じた専用回路で行われ、CPUで行われる命令の取り出しと解釈の必要がない。また、必要としている演算に対して集積回路のリソースが許すだけ多数の演算部とメモリを搭載し、データへの数百、数千の同時アクセスと並列演算が可能である。特定の処理しかできないが、同一クロックであれば、CPUによる処理よ

\* 情報電子部 電子・光材料系

りはるかに高速に処理が可能である。512点のFFTの実装例を挙げると、40 MHzの動作クロックでハードウェアFFTを動作させた例では、約690  $\mu$ sで変換が終了したのに対して、動作クロックがハードウェアに対して60倍の2.4 GHzのPentium4のソフトウェア処理は約70  $\mu$ s必要とした。60倍のクロックで動作しているが、処理に必要な時間は1/60に短縮されるわけではなく、1/10程度の短縮であり、この例ではクロックあたりの処理能力はハードウェアの方が高いといえる。この処理能力の高さは並列にメモリアクセスと演算が可能なことによるものである。

## 2.2 ハードウェア処理の種類と特徴

ハードウェア処理を行う回路で代表的なものがASIC(Application Specific Integrated Circuit：特定用途向け集積回路)である。ASICは専用の回路を作り込むため、高速、小型、低消費電力化が可能である。また、デジタルとアナログ両方の回路を搭載することも可能である。大量に生産した場合、製造単価を抑えることができる。その反面、半導体メーカーに製造を委託する必要がある、開発に長い時間と多大な費用が必要で、再設計の損失も大きくなる。

ASICがカスタムICであるのに対してASSP(Application Specific Standard Product)と呼ばれる特定用途に対して標準的な機能を搭載したハードウェアICも存在する。画像処理や通信等と用途は限定されているが、より多くの人々が利用可能な標準品として提供されるため、安価に利用が可能である。

FPGAはプリント基板に実装後も内部回路を変更できるデジタル専用集積回路である。回路動作だけでなく外部入出力ピンの役割も変更できる。自分で設計した専用デジタル回路をその場で目的に応じたICにすることが可能で、手軽にハードウェア信号処理を実現できる。しかしながら回路に冗長部を多く含み、実行速度、消費電力および単価ではASICと比較して不利になる。

以上の点から、ハードウェアによる信号処理システムにおいて、ASSPを応用できない場合には、開発

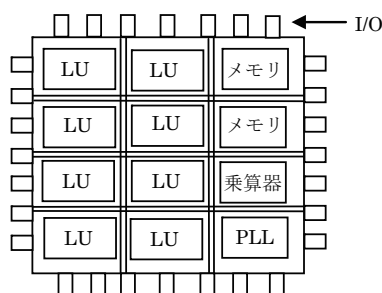


図 FPGAの内部構成イメージ

及び少量生産時にはFPGAを用い、大量生産時にはASICを用いることが一般的になっている。

## 3. FPGAの構造と設計方法

### 3.1 FPGAの内部構造

図1にFPGAの内部構成を示す。FPGAの内部は、論理を変更可能な論理ユニット（以下LU）、内蔵メモリ、入出力部、乗算器およびこれらを繋ぐ配線などからなる<sup>1)</sup>。

一般に電子回路で論理演算をする場合、トランジスタで実現したAND、OR及びNOTからなる組合せ回路を用いるが、FPGAでは組合せ回路ではなく4入力程度のSRAMを用いたテーブルで入出力間の論理を表す。SRAMテーブルと順序回路を実現するフリップフロップを組み合わせたものが論理単位(LU)となる。

メモリは、FPGAの規模によるが、数kbitの小規模なものを数100個内蔵しており、最大で数10 Mbitまで利用可能である。このメモリはメモリ幅とメモリ深さを変更可能で、例えば8 bit幅で512ワードや32 bit幅で128ワード等に指定したり、複数を組み合わせて大きなメモリとして利用可能である。後述の超音波3次元画像の例では、遅延加算処理に10 bit幅で64ワードと10 bit幅で128ワードの小規模なメモリをそれぞれ25個用いている。現在のFPGAでは、メモリに対するアクセス速度はローエンドのものでも100 MHz以上で、高速なハイエンド品では数100 MHzに及ぶ。

入出力部はFPGAを基板に実装した後も入出力や規格の変更が可能で、種々の入出力規格(PCI, LVDS等)に対応している。

乗算器はLUで構成することも可能だが、最近のFPGAでは専用回路として用意されており、LUで構成するよりも高速に動作する。

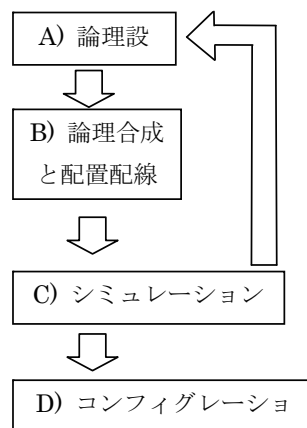


図2 FPGAの設計の流れ

配線は LU, メモリ及び入出力を繋ぐためのもので、多数の断片的な配線とスイッチからなる。クロックスキュー(クロックが回路の各部に到達する時間がずれること)をなくすための専用のクロック用配線もある。多くの FPGA では外部から与えるクロックを n 倍(n 倍すること)する PLL 機能も搭載している。

### 3.2 設計の流れ

設計の流れを図 2 に示す。

#### 3.2.1 論理設計

FPGA ではトランジスタや論理ゲートレベルで設計するのは一般的ではなく、より抽象度の高いデータの流れと論理演算の組合せ RTL(Register Transfer Level) で設計する。この際によく用いられるのが、Verilog HDL や VHDL 等のハードウェア記述言語(HDL)である。基本はモジュール構造で、入出力とそのモジュールが持つ機能を記述する。Verilog HDL による 0 から 9 までのカウンターの記述例を次に示す。

```
module counter ( clock, reset, co )
  input clock, reset;
  output co;
  reg [3:0] cnt;
  always @ ( posedge clock ) begin
    if ( reset == 0)
      cnt <= 4'b0;
    else
      if ( cnt == 4'b1001 )
        cnt <= 4'b0000;
      else
        cnt <= cnt + 1'b1;
    end
  always @ ( posedge clock ) begin
    if ( cnt == 4'b1001 )
      co <= 1'b1;
    else
      co <= 1'b0;
    end
  endmodule
```

この例では、クロック毎にカウンタが 1 ずつ 9 まで増加し、また 0 に戻る。また、カウンタが 9 のときにキャリーを出力する。Verilog の文法<sup>2)</sup>はここでは述べないが、データがクロックとともに変化するので、クロック毎の動作を記述している。Verilog HDL は CPU 用の C 言語と似た記述が多く、また演算子も殆ど同じなので、比較的習得しやすい HDL である。

システムの設計時には、機能や動作別にある程度のまとまり(モジュール)に分割して作成し、それらを互いに配線することで全体の回路を設計する。モジュール構造になっているため部品の再利用が容易で設計の効率化が図れる。また、入出力を厳密に定義しておけば、大規模なシステムを複数人で設計することも可能である。

#### 3.2.2 論理合成と配置配線

HDL で記述された論理を回路に変換することを論理合成と呼ぶ。論理合成後、対象とする FPGA 上で回路を実現するためのロジックリソース(LU やメモリ等)を割り当てる。この作業は実際には殆ど専用設計用 CAD が実行する。また、要求されたクロックタイミング仕様を満たしているか検証される。

#### 3.2.3 シミュレーション

設計 CAD 上で入力データパターンを与えて動作のシミュレーションを行い、得られる出力結果や動作速度が所望のものか検査する。所望の結果が得られるまで、A, B, C の手順を繰り返す。FPGA では、この繰り返しの掛かるコストは小さいが、ASIC では、設計と製造に多大なコストが掛かるので、綿密なシミュレーションを必要とする。

#### 3.2.4 コンフィグレーション

FPGA に設計データを書き込み、動作可能にする。一般に JTAG と呼ばれる規格のピンを通して書き込む。FPGA はその論理素子に SRAM を使用しているため電源 OFF で回路情報が失われてしまう。外付けの ROM に回路情報を書き込み、電源 ON 時に ROM から回路情報を読み込むようにすることが一般的である。

## 4. 応用開発事例

FPGA を用いた信号処理回路の一例として超音波センサと赤外線センサを組み合わせたセンシングシステムの開発を紹介する。

### 4.1 開発の背景

高齢者や障がい者の見守りや行動支援のために人体と障がい物を認識するシステムが求められている。これは、物体の位置を検出するとともに、それが人体か物体(障がい物)かを判定して必要な行動や警告を行うものである。光を用いると精細な画像を得ることができるが、距離情報取得には大量で複雑な信号処理が必要で、リアルタイム化と小型化が難しくなる。また、プライバシーの問題もある。そのため、超音波を用いた物体の位置検出が期待されている。超音波は暗い中

でも検出が可能であり、また、光に比べて低速なため、システムの小型化とリアルタイム化が容易である。そこで、産技研では次に示すような人体と障がい物を検知するシステムの開発、およびロボットへの応用を行った。

4.2 システム概要

超音波も赤外線も、到来する方向を検出するため、それぞれ5個のセンサをリニアアレイ状に配置して用いている。超音波では5個のセンサに到来する反射波の時間の差から入射方向を判別する。超音波の周波数は40 kHzで、隣接した超音波センサ間の距離は波長の1/2である4 mmで配置している。ADコンバータのサンプリングは1 MHzで、この1サンプリング時間は、超音波の到来角がセンサアレイに対して垂直な方向から5度傾いている場合の遅延量に相当する。また、赤外線では、その到来方向を知るために赤外線センサの前にフレネルレンズを配置し、到来角に相当するセンサに集光している。図3にこのシステムを組み込んだ人体追尾ロボットを示す。

このロボットは半径2 mの中心角90度の扇型の範囲内の物体を検知し、人体と判別すれば距離を30 cmに保つように追尾する。障がい物があればそれを避けて人体を追尾することができる。ロボットの頭部に図4に示す検出システムを設置している。

この検出システムはコネクタなどを除くとほぼカードサイズで、厚みが約30 mmである。赤外線センサと超音波センサおよびそれらのアンプやADコンバータを配置した基板と、FPGAを搭載した基板をコネク



図3 試作人体追尾ロボット

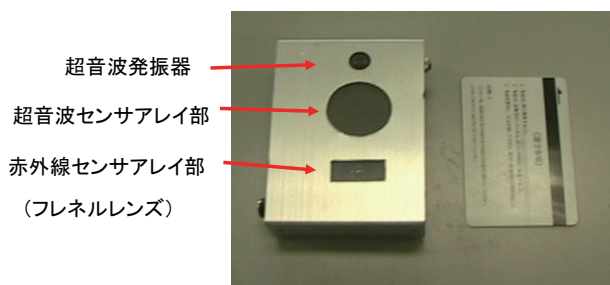


図4 センシングシステムの外観

タで積層している。FPGAは、計10個のセンサ信号用のADコンバータ制御と、物体の方向・距離検知のための信号処理、及びCPUとの通信などを実行する。また、ロボットの胴体に小型の組み込みCPUを備え、人体か障がい物かの判定と動作制御を行っている。図5に試作ロボットの概要図を示す。

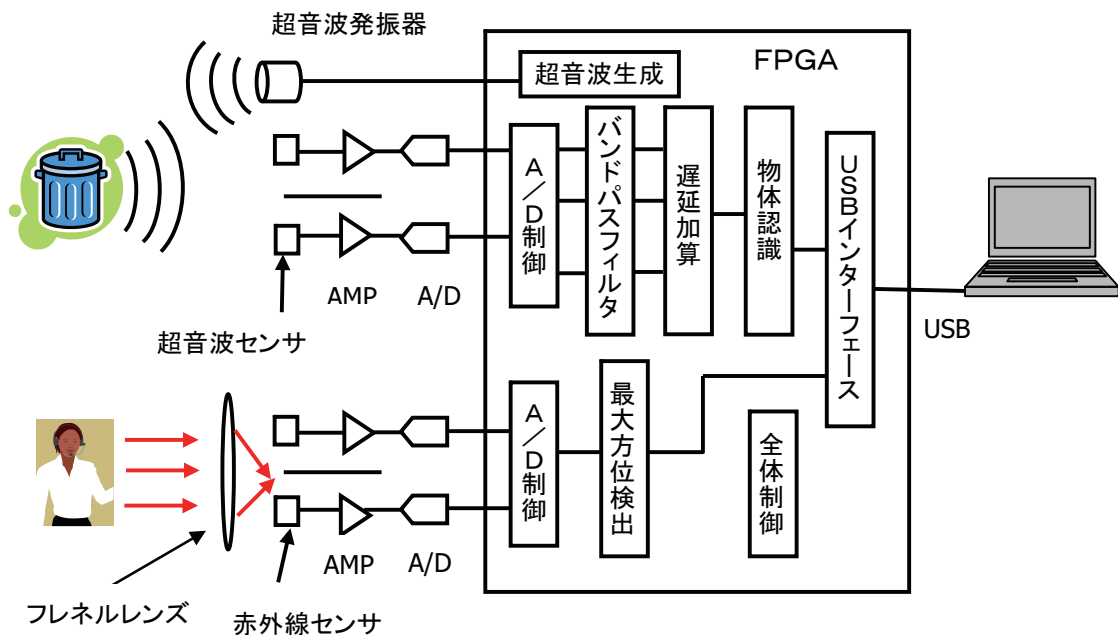


図5 試作ロボットの概要



### 4.3 FPGA を用いる理由

ここで紹介しているシステムでは、多数の超音波センサの信号を高速なサンプリング速度で同時に取り込む必要がある。一般的な CPU では I/O の用途、本数に制限があり、外部の高速な AD コンバータを多数制御できない。また、CPU に内蔵されている AD コンバータでは、その数や速度が制限されており、やはり利用できない。さらに、高速な信号処理を実現するためには、それぞれのセンサの出力信号をメモリから同時に取り出して演算する必要があるが、CPU ではこのような複数の信号を同時に扱うことができない。

一方、FPGA では、数 100 本の I/O の機能を自由に設定可能で、同時に高速な AD を多数制御できる。また、FPGA 内部にそれぞれのセンサに対するメモリを用意して同時にアクセス及び演算することも可能である。さらに、前述のように FPGA はその演算内容を変更することも容易であるから、研究開発時の試行錯誤にも対応することが可能である。以上の点からここで述べるシステムの開発には FPGA を用いることにした。

### 4.4 FPGA による信号処理

送出された超音波が物体で反射され、センサに到達するまでの時間で距離がわかる。また、センサに到達する時間のずれ（数マイクロ秒程度）を遅延加算法<sup>3,4)</sup>という方法で検出する。これは時間軸をずらして信号波形を足し合わせるもので、電子走査型のレーダの基本となっている。基準となるセンサに対して他のセンサの座標は既知であるので、あらかじめ超音波の入射角度毎にお互いの出力信号の位相関係を求めることができる。この位相分だけずらして足し合わせると、到来角度に相当する遅延量で足し合わせた結果が最も大きな値となり、超音波の到来方向を推定することができる。普通のレーダと異なり遅延加算法は受信部の回転の必要が無く走査の高速化が可能であるが、多量の演算が必要である。本システムではセンサ正面の  $\pm 45$  度の範囲を 5 度刻みに 19 の方向に分けて走査するので、サンプリング毎に 5 個の超音波センサのデータの足し合わせを 19 回行う。センサの受信信号と各方向の遅延加算結果を波形データとして保持すると、500 kByte 以上必要であるが、FPGA のメモリ搭載量は限られている。そこで、全てのデータを収集後に演算を行うのではなく、データを取り込みながら同時にリアルタイムに演算を行っている。遅延加算に必要なデータ量はセンサあたり数 100 ワード以下であるから、センサ毎に FPGA 内にリングメモリを構成して、最新のデータをメモリ上の最も古いデータに上書きするよ

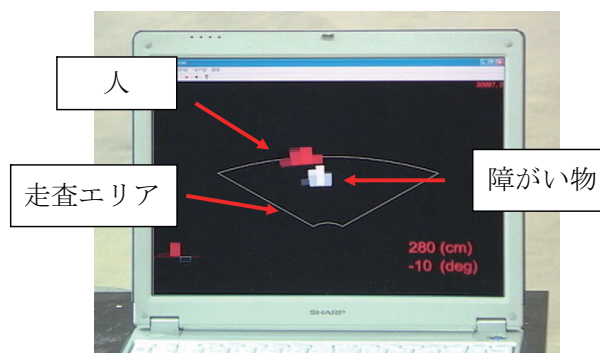


図6 超音波による検知範囲と表示例

うにコントロールする。さらに、演算結果も波形を記憶するのではなく、振幅が最大になる位置のみを記憶すればメモリ消費を抑えられる。このシステムでは、検出範囲の 2 m を 5 cm 毎に分割し、その分割された範囲内における振幅の最大値を保存している。

赤外線センサは毎秒 100 回の低速サンプリングを行い、5 個のセンサの出力分布から赤外線の有無と入射方向を検出する。赤外線の数値と先述の遅延加算波形の振幅値のマッピングデータはシリアル通信により制御用のマイコンに送られる。マイコン内で超音波から計測された物体の方向と重ね合わせ、一致すれば人体、一致しなければ障がい物と認識する。図 6 に PC 上に表示した走査エリアの例を示す。ディスプレイ上に示している扇形が走査エリアで、その中で白いブロックが障がい物、赤いブロックが人を示す。

遅延加算は毎秒 9 千 5 百万回の足し算を行う必要がある。実際には波形を記憶したリングメモリのアドレス計算や計算結果の比較、その結果の記憶なども必要であるので、演算量は毎秒 5 億回程度になる。また、121 次のデジタルバンドパスフィルタも実装しており、この演算量も毎秒数億回になる。従って、本システムの演算実行速度は毎秒およそ 10 億回に及ぶ。FPGA のクロックは 100 MHz (1 秒間に 1 億回) を用いており、CPU のようにすべての処理をクロックの速度で逐次行う場合には、このような高速処理は不可能である。FPGA 内で小規模なメモリや演算部を多数持ち、並列に処理を行うことによって高速演算が可能となっており、ハードウェア演算の利点を活かしている。

### 4.5 超音波三次元画像

超音波センサを 2 次元アレイにし、走査範囲を 3 次元にした超音波立体画像システムも開発している。5×5 の 25 個のセンサアレイを用いて上下左右を  $\pm 45$  度の範囲で 5 度刻みに走査し、距離方向は 1 m の範囲を 5 cm 刻みの 20 の距離に分割している。19 × 19 × 20 に分割した三次元上の位置を表示することに

なる。遅延加算結果の振幅値をそのまま色の濃さで示して立体画像として表示している。測定距離の近い方から反射体を赤く、遠くなるにつれて黄色、緑、青と距離によって表示色をかえている。図7は計測システムの前で人が手を振っている様子とPC上の超音波三次元画像を表示している。人の左半身が計測領域に入っており、PC画面には手、腕、胴体及び頭部が表示されている。計測から表示にかかるまでの時間はおよそ0.1秒で1秒間に約10回の画面更新が可能である。

## 5. おわりに

現在、数万円以下でFPGAボード付トレーニングブックが市販されており、その開発ソフトウェアはFPGAメーカーから無償でダウンロードできる。わずかな初期投資でFPGAの開発・トレーニング環境が整うようになった。また、FPGAメーカーから無償のCPUコア<sup>5,6)</sup>も提供されており、ハードウェア回路と混載することも可能で、カスタマイズしたCPUコアとオリジナルのハードウェア回路でより一層製品開発の幅が広がる。このように、ハードウェアシステム開発のハードルが下がり、高機能かつ低コスト、低消費電力などの特徴を持ったシステムが開発しやすくなった。産技研でも、超音波画像処理システムなどの研究開発に応用している。また、技術研修生制度や受託研究制度などにより、ハードウェア信号処理技術者の養成やシステム開発の支援を行っている。

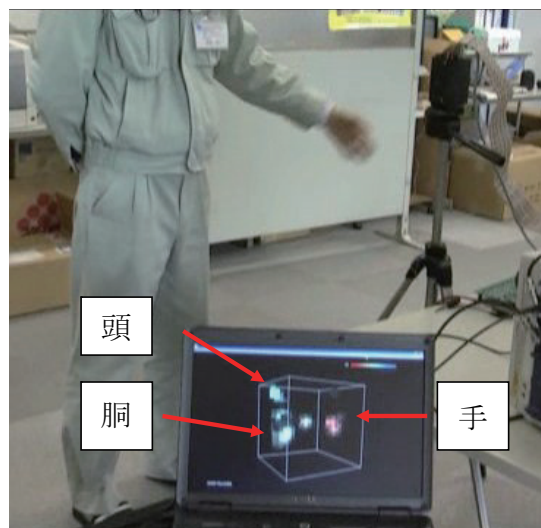


図7 超音波三次元画像

## 参考文献

- 1) 宮崎 仁：FPGA という名の LSI を知る，デジタル・デザイン・テクノロジー，**1** (2009) 10.
- 2) 小林 優：入門 Verilog HDL 記述 (1996) 17.
- 3) 井上幸二ら：平成 19 年度大阪府立産業技術総合研究所研究発表会要旨集 (2007) 10.
- 4) 田中恒久ら：電気学会論文誌 E, 125 (2005) 188.
- 5) 浅井 剛：“FPGA マイコン” 最新情報，Design Wave Magazine, **11** (2006) 40.
- 6) 山際伸一：オープン・ソースの CPU コアの実力を試す，Design Wave Magazine, **10** (2007) 25.